

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許公開番号

特開2000-338918

(P2000-338918A)

(43) 公開日 平成12年12月8日 (2000.12.8)

| (51) Int.Cl. ⁷ | 識別記号 | F i | デフォルト (参考) |
|---------------------------|-------|---------------|-------------------|
| G 0 9 G 3/20 | 6 2 3 | G 0 9 G 3/20 | 6 2 3 F 2 H 0 9 3 |
| G 0 2 F 1/133 | 5 5 0 | G 0 2 F 1/133 | 5 5 0 5 C 0 0 6 |
| G 0 9 G 3/36 | | G 0 9 G 3/36 | 5 C 0 8 0 |

審査請求 未請求 請求項の数31 O L (全 15 頁)

(21) 出願番号 特願平11-147799

(22) 出願日 平成11年5月27日 (1999.5.27)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 仲島 義晴

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 占部 哲夫

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100096298

弁理士 船橋 國剛

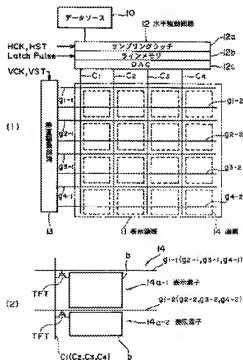
最終頁に続く

(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

【課題】 表示装置の多階調化を図るためには、水平駆動手段の回路数及び専有面積が増加する。

【解決手段】 表示装置は、1画面につき $n \times m$ ビット (n, m は2以上の整数) の表示データを供給するデータソース10と、データソース10から入力された表示データを m ビット単位で 2^m 階調のアナログ信号に変換するデジタルアナログ変換器12cを有する水平駆動回路12と、表示面積の割合が $2^{(n-1)/m} : 2^{(n-2)/m} : \dots : 2^{(n-2)/m}$ の n 個の表示素子14a-1, 14a-2, ..., 14a- n からなる画素14を有する表示領域11と、デジタルアナログ変換器12cから出力されたアナログ信号を n 個単位として n 個の表示素子14a-1, 14a-2, ..., 14a- n にそれぞれ割り当てて書き込むため選択信号を出力する垂直駆動回路13とを備えたことを特徴としている。



【特許請求の範囲】

【請求項1】 1画素につき $n \times m$ ビット (n, m は2以上の整数)の表示データを供給するデータソースと、前記データソースから入力された表示データを m ビット単位で2ⁿ階調のアナログ信号に変換するデジタルアナログ変換器を有する水平駆動手段と、表示面積の割合が $\frac{1}{2^{n-1}}$ 、 $\frac{1}{2^{n-2}}$ 、 \dots 、 $\frac{1}{2}$ の n 個の表示素子からなる画素を有する表示領域と、

前記デジタルアナログ変換器から出力されたアナログ信号を n 個を単位として前記 n 個の表示素子にそれぞれ割り当てて書き込むための選択信号を出力する垂直駆動手段とを備えたことを特徴とする表示装置。

【請求項2】 請求項1記載の表示装置において、前記アナログ信号は、前記 n 子の表示素子の非線形特性を補正するような信号であることを特徴とする表示装置。

【請求項3】 請求項2記載の表示装置において、前記デジタルアナログ変換器は、前記 n 子の表示素子の非線形特性を補正するような入出力特性を有することを特徴とする表示装置。

【請求項4】 請求項1記載の表示装置において、前記水平駆動手段は、前記デジタルアナログ変換器を各水平画素あたり1個有し、当該各デジタルアナログ変換器から出力されるアナログ信号を、1本のコラム線を通して n 回にわたって時系列に前記各画素に供給することを特徴とする表示装置。

【請求項5】 請求項4記載の表示装置において、前記データソースは、前記 $n \times m$ ビットの表示データを m ビット単位で前記水平駆動手段に入力することを特徴とする表示装置。

【請求項6】 請求項4記載の表示装置において、前記水平駆動手段は、 $n \times m$ ビット \times 水平画素数分のラッチ部を有するサンプリングラッチと、当該サンプリングラッチにラッチされた表示データを各水平画素毎に m ビット単位で選択して前記各デジタルアナログ変換器に順次入力するセレクト回路とを有することを特徴とする表示装置。

【請求項7】 請求項4記載の表示装置において、前記垂直駆動手段は、前記 n 個の表示素子を時系列にしたがって順次選択することを特徴とする表示装置。

【請求項8】 請求項4記載の表示装置において、前記垂直駆動手段は、前記 n 個の表示素子に対応させて n 系統設けられたことを特徴とする表示装置。

【請求項9】 請求項1記載の表示装置において、前記水平駆動手段は、前記 n 個の表示素子に対応させて n 系統設けられ、前記データソースは、前記 $n \times m$ ビットの表示データを m ビット単位で前記 n 系統の各水平駆動手段にそれぞれ入力し、

前記垂直駆動手段は、前記 n 個の表示素子を同時に選択することを特徴とする表示装置。

【請求項10】 請求項1記載の表示装置において、前記表示素子は、液晶素子であることを特徴とする表示装置。

【請求項11】 請求項10記載の表示装置において、前記アナログ信号は、前記 n 子の表示素子の非線形特性を補正するような信号であることを特徴とする表示装置。

【請求項12】 請求項11記載の表示装置において、前記デジタルアナログ変換器は、前記 n 子の表示素子の非線形特性を補正するような入出力特性を有することを特徴とする表示装置。

【請求項13】 請求項10記載の表示装置において、前記水平駆動手段は、前記デジタルアナログ変換器を各水平画素あたり1個有し、当該各デジタルアナログ変換器から出力されるアナログ信号を、1本のコラム線を通して n 回にわたって時系列に前記各画素に供給することを特徴とする表示装置。

【請求項14】 請求項13記載の表示装置において、前記データソースは、前記 $n \times m$ ビットの表示データを m ビット単位で前記水平駆動手段に入力することを特徴とする表示装置。

【請求項15】 請求項13記載の表示装置において、前記水平駆動手段は、 $n \times m$ ビット \times 水平画素数分のラッチ部を有するサンプリングラッチと、当該サンプリングラッチにラッチされた表示データを各水平画素毎に m ビット単位で選択して前記各デジタルアナログ変換器に順次入力するセレクト回路とを有することを特徴とする表示装置。

【請求項16】 請求項13記載の表示装置において、前記垂直駆動手段は、前記 n 個の表示素子を時系列にしたがって順次選択することを特徴とする表示装置。

【請求項17】 請求項13記載の表示装置において、前記垂直駆動手段は、前記 n 個の表示素子に対応させて n 系統設けられたことを特徴とする表示装置。

【請求項18】 請求項10記載の表示装置において、前記水平駆動手段は、前記 n 個の表示素子に対応させて n 系統設けられ、

前記データソースは、前記 $n \times m$ ビットの表示データを m ビット単位で前記 n 系統の各水平駆動手段にそれぞれ入力し、

前記垂直駆動手段は、前記 n 個の表示素子を同時に選択することを特徴とする表示装置。

【請求項19】 請求項1記載の表示装置において、前記表示素子は、エレクトロルミネッセンス素子であることを特徴とする表示装置。

【請求項20】 請求項19記載の表示装置において、前記アナログ信号は、前記 n 子の表示素子の非線形特性を補正するような信号であることを特徴とする表示装置。

図。

【請求項21】 請求項20記載の表示装置において、前記デジタルアナログ変換器は、前記 n 子の表示素子の非線形特性を補正するような入出力特性を有することを特徴とする表示装置。

【請求項22】 請求項19記載の表示装置において、前記水平駆動手段は、前記デジタルアナログ変換器を各水平画素あたり1個有し、当該各デジタルアナログ変換器から出力されるアナログ信号を、1本のコラム線を通して n 回にわたって時系列に前記各画素に供給することを特徴とする表示装置。

【請求項23】 請求項22記載の表示装置において、前記データソースは、前記 $n \times m$ ビットの表示データを m ビット単位で前記水平駆動手段に入力することを特徴とする表示装置。

【請求項24】 請求項22記載の表示装置において、前記水平駆動手段は、 $n \times m$ ビット \times 水平画素数分のラッチ部を有するサンプリングラッチと、当該サンプリングラッチにラッチされた表示データを各水平画素毎に m ビット単位で選択して前記各デジタルアナログ変換器に順次入力するセレクト回路とを有することを特徴とする表示装置。

【請求項25】 請求項22記載の表示装置において、前記垂直駆動手段は、前記 n 個の表示素子を時系列にしたがって順次選択することを特徴とする表示装置。

【請求項26】 請求項22記載の表示装置において、前記垂直駆動手段は、前記 n 個の表示素子に対応させて n 系統設けられたことを特徴とする表示装置。

【請求項27】 請求項19記載の表示装置において、前記水平駆動手段は、前記 n 個の表示素子に対応させて n 系統設けられ、

前記データソースは、前記 $n \times m$ ビットの表示データを m ビット単位で前記 n 系統の各水平駆動手段にそれぞれ入力し、

前記垂直駆動手段は、前記 n 個の表示素子を同時に選択することを特徴とする表示装置。

【請求項28】 m ビット単位の表示データを 2^p 階調のアナログ信号に変換するデジタルアナログ変換器と、 n 個 (n は2以上の整数)の表示素子からなる画素とを備え、当該各表示素子の表示面積の割合が $2^{-10 \sim 10\%}$: $2^{-10 \sim 10\%}$: \dots : $2^{-10 \sim 10\%}$ である表示装置の駆動方法であって、 $n \times m$ ビットの表示データを n 分割して m ビット単位とし、

前記 m ビット単位に n 分割された各表示データを、前記デジタルアナログ変換器によって 2^p 階調のアナログ信号にそれぞれ変換し、

前記画素を構成する n 個の表示素子に対して、前記アナログ信号のうちの上位側から順に表示面積の大きい表示素子に割り当てて表示とすることを特徴とする表示装置

の駆動方法。

【請求項29】 請求項28記載の表示装置の駆動方法において、

前記表示データは、前記 n 個の表示素子の非線形特性を補正するようなアナログ信号に変換されることを特徴とする表示装置の駆動方法。

【請求項30】 請求項28記載の表示装置の駆動方法において、

前記 n 個の表示素子へのアナログ信号の入力は、単一のコラム線を通して時系列に従って順次行われることを特徴とする表示装置の駆動方法。

【請求項31】 請求項28記載の表示装置の駆動方法において、

前記 n 個の表示素子へのアナログ信号の入力は、複数のコラム線を通して同時に行われることを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表示装置及びその駆動方法に関し、特にマトリクス状に配置された複数の画素を水平ライン毎に順次駆動するアクティブマトリクス方式の表示装置及びその駆動方法に関する。

【0002】

【従来の技術】図1には、アクティブマトリクス方式の表示装置の構成図を示す。この表示装置は、表示領域101、水平駆動回路102及び垂直駆動回路103を有している。表示領域101は、図中円内の拡大図に示すように、複数行分のゲート線 $g1, g2, \dots$ と複数列分のコラム線 $c1, c2, \dots$ が配線され、これらの各交差部に画素104が配置された構成になっている。各画素104は、薄膜トランジスタ (thin film transistor) TFTを備えた液晶素子やエレクトロルミネッセンス (Electroluminescence) 素子からなり、薄膜トランジスタTFTのゲート電極がゲート線 $g1, g2, \dots$ に接続され、ソース電極がコラム線 $c1, c2, \dots$ に接続されている。また、水平駆動回路102は、クロック (HST, HCK) にしたがって m ビットずつ独立した表示データを順次サンプリングし、各コラム線 $c1, c2, \dots$ 毎にラッチするサンプリングラッチ102aと、このラッチされた表示データをラッチバースに応答して1水平ライン分格納するラインメモリ102bと、このラインメモリ102bから1水平ライン分同時に出力された表示データをアナログ信号に変換して各コラム線 $c1, c2, \dots$ に入力するデジタルアナログ変換器 (以下、DACと記す) 102cとで構成されている。そして、垂直駆動回路103は、クロック (VST, VCK) にしたがって、各ゲート線 $g1, g2, \dots$ に順次選択信号を与える。

【0003】このような構成の表示装置によれば、水平駆動回路102に入力された m ビットの表示データは2

³ 階調のアナログ信号に変換され、1水平ライン分同時に各コラム線 c_1, c_2, \dots に入力される。そして、コラム線 c_1, c_2, \dots に入力されたアナログ信号は、垂直駆動回路103で選択されたゲート線 g_1 (または g_2, \dots) に接続された各画素104に、それぞれ書き込まれ、1フレームの画画像データとして保持される。これによって、各画素104においては、アナログ信号に対応した² 階調の画像表示が行われる。

【0004】

【発明が解決しようとする課題】ところが、このような構成の表示装置では、表示データの階調数は水平駆動回路102の処理ビット数で決定されるため、さらなる多階調表示を実現するには、水平駆動回路102の処理ビット数を増加させる必要がある。しかし、水平駆動回路102の処理ビット数を増加させた場合、処理ビット数の増加割合を上回る割合で、水平駆動回路102の専有面積(特にDACの専有面積)が増加する。例えば、水平駆動回路102の処理ビット数を3ビットから6ビットに増加させると、DAC102cの専有面積は $2^{5.5}$ 倍に増加する。したがって、装置コストが増加すると共に、表示領域101と同一の基板上に水平駆動回路102や垂直駆動回路103等の周辺回路を搭載した場合、これらの周辺回路が形成される領域が増大する。

【0005】そこで本発明は、装置コストの増加及び周辺回路の専有面積の増大を抑えながらも多階調化を図ることが可能な表示装置及びその駆動方法を提供することを目的とする。

【0006】

【課題を解決するための手段】このような目的を達成するための本発明の表示装置は、1画素につき $n \times m$ ビット (n, m は共に2以上の整数) の表示データを供給するデータソース、このデータソースから入力された表示データを m ビット単位で² 階調のアナログ信号に変換するデジタルアナログ変換器を有する水平駆動手段、表示面積の割合が $2^{-\frac{1}{m}}$: $2^{-\frac{2}{m}}$: \dots : $2^{-\frac{m-1}{m}}$

の n 個の表示素子からなる画素を有する表示領域、デジタルアナログ変換器から出力されたアナログ信号を n 個を単位として n 個の表示素子にそれぞれ割り当てて書き込むための選択信号を出力する垂直駆動手段を備えたことを特徴としている。

【0007】このような構成の表示装置では、データソースから供給された $n \times m$ ビットの表示データは、デジタルアナログ変換器によって m ビット単位で² 階調のアナログ信号に変換される。そして、変換された各アナログ信号は、垂直駆動手段によって n 個の表示素子にそれぞれ割り当てて書き込まれる。このため、 n 個の表示素子で構成された1画素には、 $n \times m$ ビット相当のアナログ信号が表示されることになる。ここで、各アナログ信号が書き込まれる n 個の表示素子は、表示面積の割合が $2^{-\frac{1}{m}}$: $2^{-\frac{2}{m}}$: \dots : $2^{-\frac{m-1}{m}}$

る。そこで、 $n \times m$ ビットの表示データを m ビットずつ n 分割してアナログ信号に変換し、 m ビット相当のアナログ信号を上位側から順に表示面積の大きい表示素子に割り当てて表示させることで、 n 個の表示素子で構成された1画素には、画素の表示特性に合わせて重み付けされた² 階調の表示が行われることになる。

【0008】また、本発明の表示装置の駆動方法は、 m ビット単位の表示データを² 階調のアナログ信号に変換するデジタルアナログ変換器と、 n 個 (n は2以上の整数) の表示素子からなる画素とを備え、これらの各表示素子の表示面積の割合が $2^{-\frac{1}{m}}$: $2^{-\frac{2}{m}}$: \dots : $2^{-\frac{m-1}{m}}$ である表示装置の駆動方法であり、以下のように行うことを特徴としている。まず、 $n \times m$ ビットの表示データを n 分割して m ビット単位とし、 n 分割された各表示データをデジタルアナログ変換器によって² 階調のアナログ信号にそれぞれ変換する。次いで、画素を構成する n 個の表示素子に対して、これらのアナログ信号のうちの上位側から順に表示面積の大きい表示素子に割り当てて表示させる。

【0009】このような駆動方法では、 n 分割された各 m ビット単位の表示データは、² 階調のアナログ信号に変換され、画素を構成する n 個の表示素子にそれぞれ割り当てて表示される。このため、1つの画素には、 $n \times m$ ビット相当のアナログ信号が表示されることになる。ここで、 n 個の表示素子は、表示面積の割合が $2^{-\frac{1}{m}}$: $2^{-\frac{2}{m}}$: \dots : $2^{-\frac{m-1}{m}}$ になっており、各アナログ信号は、上位側から順に表示面積の大きい表示素子に割り当てて表示されるため、 n 個の表示素子で構成された1つの画素には、画素の表示特性に合わせて重み付けされた² 階調の表示が行われることになる。

【0010】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。図1(1)は、本発明の第1実施形態に係るアクティブマトリクス方式の表示装置の一例を示す構成図である。また、図1(2)は、図1(1)の要部拡大図である。

【0011】図1に示すように、この表示装置は、データソース10、表示領域11、水平駆動回路12及び垂直駆動回路13で構成され、表示領域11にはマトリクス状に画素14が配列されている。ただしここでは、説明を簡便にするために、4行×4列分の画素14がマトリクス状に配列されている場合を例示している。

【0012】データソース10は、画像の元データとして、 $n \times m$ ビットで構成された各画素14毎の表示データを水平駆動回路12に供給する。ここでは特に、データソース10は、 $n \times m$ ビットの表示データを、 m ビット単位に n 分割し、所定の順序に並べ替えて水平駆動回路12に供給する。そして、このような表示データの分割及び並べ替えを行うための処理回路(図示省略)を備えていることとする。

【0013】例えば、 $n=2$ の場合、 $2 \times m$ ビットの各表示データを、上位側 m ビット分の上位データHと、下位側 m ビット分の下位データLとに分割する。そして、まず、1ライン目の1水平ライン分の上位データH1を画面14の水平方向の配列順に並べ、次に、同一の1水平ライン分の下位データL1を画面14の水平方向の配列順に並べる。以下、水平ライン順に、上位データH2、下位データL2、上位データH3、下位データH3、…の順に表示データを並べ替えて水平駆動回路12に供給する。

【0014】また、表示領域11は、複数行（例えば4行）分のコラム線 $c1, c2, \dots$ と交差させた複数行（例えば4行）分の第1ゲート線 $g1-1, g2-1, g3-1, g4-1$ との各交差点に画面14を配置している。この表示領域11内には、各第1ゲート線 $g1-1, g2-1, \dots$ と並行に、第2～第 n ゲート線が順次配線されている。例えば、 $n=2$ の場合、表示領域14には、水平駆動回路12側から順に、第1行目の第1ゲート線 $g1-1$ 、第2ゲート線 $g1-2$ 、第2行目の第1ゲート線 $g2-1$ 、第2ゲート線 $g2-2$ 、…の順で配線される。

【0015】各画面14は、 n 個の表示素子14a-1、14a-2、…、14a- n （ここでは説明を簡単にするために、 $n=2$ の場合を例示している）で構成されている。これらの $n (=2)$ 個の表示素子14a-1、14a-2においては、各表示部bの表示面積の割合が $2^{1/n} : 2^{2/n} : \dots : 2^{(n-1)/n}$ になっている。すなわち、 $n=2$ の場合には、これらの表示素子14a-1、14a-2の表示面積は、表示素子14a-1：表示素子14a-2＝ $2^1 : 2^2$ になっている。ただし、各画面14を構成する表示素子数は、表示データの分割数 n と等しいとする。

【0016】これらの表示素子14a-1、14a-2は、薄膜トランジスタ（thin film transistor）TFTと表示部bとを備えた発光素子やエレクトロルミネッセンス（Electroluminescence）素子からなる。ただし、図面においては、説明を簡単にするためにTFTと表示部bのみを示した。そして、表示面積の大きな表示素子14a-1の薄膜トランジスタTFTのゲート電極が第1ゲート線 $g1-1$ （ $g2-1, \dots$ ）に接続され、表示面積の小さな表示素子14a-2の薄膜トランジスタTFTのゲート電極が第2ゲート線 $g1-2$ （ $g2-2, \dots$ ）に接続され、各画面14における表示素子14a-1、14a-2のソース電極は、同一のコラム線 $c1$ （ $c2, \dots$ ）に接続されている。

【0017】また、水平駆動回路12は、サンプリングラッチ12aと、ラインメモリ12bと、デジタルアナログ変換器（以下、DACと記す）12cとで構成されている。サンプリングラッチ12aは、 m ビット/水平画素数分のラッチ部を有し、データソース10から供給

された m ビット単位の表示データを、スタートパルス（以下HSTと記す）が与えられることによって水平クロック（以下HCKと記す）に同期して1水平ライン分順次サンプリングし、各コラム線 $c1, c2, \dots$ 毎にラッチする。ラインメモリ12bは、サンプリングラッチ12aにラッチされた m ビット単位の表示データを、ラッチパルスにตอบสนองさせて1水平ライン分格納する。また、DAC12cは、各コラム線 $c1, c2, \dots$ 毎に設けられ、ラインメモリ12bから1水平ライン分毎時に入力された表示データを m ビット単位で 2^n 階調のアナログ信号に変換して各コラム線 $c1, c2, \dots$ に入力する。また、このDAC12cの入出力特性は、2個の表示素子14a-1、14a-2の非線形特性を補正する様な特性を備えており、このDAC12cからは、表示素子14a-1、14a-2の非線形特性を補正するようなアナログ信号が出力されることとする。以上のように、水平駆動回路12は、DAC12cを各水平画素あたり1個有し、各DAC12cから出力される補正されたアナログ信号を、1本のコラム線コラム線 $c1$ （ $c2, \dots$ ）を通して n 回にわたって時系列に前記各画面に供給するのである。

【0018】図2は、垂直駆動回路13の構成例を示す回路図である。この図に示すように、垂直駆動回路13は、互いに直列に接続された複数のD型フリップフロップ回路（以下、D-FFと記す）13aからなり、クロック入力端子（ ck ）にクロックライン13bが接続され、イネーブル端子（ enb ）にイネーブルライン13cが接続されている。そして、1段目のD-FF13aに垂直スタートパルスVSTが与えられると、クロックライン13bから与えられた垂直クロックVCKに同期して、各D-FF13aが順次シフト動作を行う。このため、各ゲート線には、第1行目の第1ゲート線 $g1-1$ 、第2ゲート線 $g1-2$ 、第2行目の第1ゲート線 $g2-1$ 、第2ゲート線 $g2-2$ 、…の順で、バッファ13dを介して各D-FF13aのQ出力が選択信号として順次与えられる。以上の動作は、D-FF13aのイネーブル端子（ enb ）にイネーブルライン13cからイネーブル信号が供給されている場合にのみ行われる。

【0019】次に、上記構成の表示装置の動作を、図3のタイミングチャートを用いて説明する。

【0020】まず、データソース10からは、 $n \times m$ ビットの表示データを $n (=2)$ 分割した m ビット単位の表示データが、1水平ライン毎に、上位データH1、下位データL1、上位データH2、下位データL2、…の順に水平駆動回路12に供給される。データソース10から供給された m ビット単位の表示データは、サンプリングラッチ12aにおいて、クロック「HST、HCK」にしたがって順次サンプリングされ、各コラム線 $c1, c2, \dots$ 毎にラッチされる。ラッチされた表示データは、ラインメモリ12bに1水平ライン分格納され

る。格納された表示データは、ラインメモリ12bからDAC12cに1水平ライン分同時に入力され、2°階調のアナログ信号に変換されて各コラム線c1、c2、…に入力される。すなわち、DAC12cにおいては、表示データが、水平ライン順にmビット単位で上位データH1、下位データL1、上位データH2、下位データL2、…の順にアナログ信号に変換され、各コラム線c1、c2、…に順次入力されるのである。

【0021】一方、垂直駆動回路13からは、第1行目の第1ゲート線 $g1-1$ 、第2ゲート線 $g2-1$ 、第2行目の第1ゲート線 $g1-2$ 、第2ゲート線 $g2-2$ 、…の順で選択信号が与えられる。このため、第1行目の第1ゲート線 $g1-1$ 及び各コラム線 $c1, c2, …$ に接続された各表示素子14a-1に上位データ $D1$ が書き込まれ、次に、第1行目の第2ゲート線 $g1-2$ 及び各コラム線 $c1, c2, …$ に接続された各表示素子14a-2に、下位データ $D2$ が書き込まれる。

【0022】以下、同様にして、順次、第2行目の第1ゲート線g2-1に接続された表示素子14a-1に上位データH2が書き込まれ、第2行目の第2ゲート線g2-2に接続された表示素子14a-2に上位データL2が書き込まれていく。そして、各画素の表示素子14a-1、14a-2には、それぞれ上位データH1、H2、また、下位データL1、L2、 \dots が割り当てて書き込まれる。

【0023】以上のようにして、 $n=2$ 個の表示素子 14a-1、14a-2 で構成された 1 つの画素 14 に、 $n \times m$ ビット相当のアナログ値が表示されることになる。

$$Y = [2^{-(n-1)} \times m \times F(V_1)] + [2^{-(n-2)} \times m \times F(V_2)] + \dots + [2^{-(n-k)} \times m \times F(V_k)] \quad \dots (2)$$

【0027】ここで、電圧 V_i ($i=1\sim n$)は、下記式(3)のように、DACの入出力特性を示す関数 $G(x)$ で表される。ただし、式中 a は、1または0のデ

$$V_i = G \{ a(i)_{n-1} \times 2^{n-1} + a(i)_{n-2} \times 2^{n-2} + \dots + a(i)_{n-n} \times 2^{n-n} \} \quad \dots (3)$$

【0028】以下、説明を簡単にするために、 $n=2$ の場合を例にとると、画素の傾度 γ は、式(2)と式

$$Y = \{2^{(2-1)*m} \times F(V1)\} + \{2^{(2-2)*m} \times F(V2)\}$$

$$= 2^n \times F \{ G \{ a(1)_{n-1} \times 2^{n-1} + a(1)_{n-2} \times 2^{n-2} + \dots + a(1)_{n-m} \times 2^{n-m} \} \\ + 2^0 \times F \{ G \{ a(2)_{n-1} \times 2^{n-1} + a(2)_{n-2} \times 2^{n-2} + \dots + a(2)_{n-m} \times 2^{n-m} \} \} \quad \dots (4)$$

【0029】また、図4（1）のグラフに示すように、高電圧（上位側電圧 V_H 、下位側電圧 V_L ）と輝度

* この際、上位データH1、H2、…は、表示面積が大きな表示素子14a-1に割り当てて書き込まれ、下位データL1、L2、…は、表示面積が小さな表示素子14a-2に割り当てて書き込まれることになる。

【0024】ここで、各アナログ信号が書き込まれる n 個の表示素子 $14a-1, 14a-2, \dots, 14a-n$ は、表示面積の割合が $2^{\frac{1}{n-1}}$: $2^{\frac{1}{n-2}}$: \dots : $2^{\frac{1}{n-1}}$ である。

になっている。このため、 n 個の表示素子で構成された1つの画素14には、画素14の表示特性に合わせて重み付けされた 2^{20} 階調の表示を行うことが可能になる。

【0025】例えば、表示素子14a-1, 14a-2, ..., 14a-nが液晶素子である場合、画素14を構成する各表示素子14a-1, 14a-2, ..., 14a-nの輝度を、Y1, Y2, ..., Ynとすると、画素14の輝度Yは下記式(1)で表される。

【例 1】

$$Y = Y_1 + Y_2 + \dots + Y_n \quad \dots (1)$$

【0026】また、電圧 x に対応する単位表示面積当たりの輝度を $F(x)$ 、各表示素子 $14a-1, 14a-2, \dots, 14a-m$ に書き込まれる電圧を $x=V_1 (1 \leq 1 \sim m)$ とすると、式(1)は、表示素子 $14a-1, 14a-2, \dots, 14a-m$ の表示面積の割合を考慮した下記式(2)のように書き換えられる。ただし、 $F(x)$ は、液晶の電圧-透過率($V-T$)特性に対応する関数であることとする。

【数2】

$$\times F(V2) \quad +$$

【數3】

$$\dots (3)$$

★ (3) とから下記式 (4) のように書き換えられる。

【数4】
 $(2-3) \times m \times F(Y2)$

$$2^{n-1} + a(1)_{m-2} \times 2^{m-2} +$$

$$2^{n-1} + a(2)_{m-2} \times 2^{m-2} +$$

$$\dots (4)$$

(上位側輝度 Y_H 、下位側輝度 Y_L)とは、非線形な関係になる。このため、DAC12cにおいては、階調表

示における全体の出力（輝度：上位側輝度YH、下位側輝度YL）に直線性を持たせるために、図4（2）のグラフに示すように、 $F(x) = \alpha \times G(x)$ 、すなわち $F(x) = \alpha \times G(x)$ （ α は定数）とする補正を行う。

$$Y = \alpha \times \{ a(1)_{n-1} \times 2^{2^{n-1}} + a(1)_{n-2} \times 2^{2^{n-2}} + \dots + a(1)_0 \times 2^0 + a(2)_{n-1} \times 2^{2^{n-1}} + a(2)_{n-2} \times 2^{2^{n-2}} + \dots + a(2)_0 \times 2^0 \} \quad \dots (5)$$

【0030】以上式（5）から、水平駆動回路12のDAC12aの入出力特性を、液晶のV-T特性の逆関数に設定することで、画素14の輝度は、 $n \times m = 2 \times m$ ビットの表示データが線形性を有する $2^{2^n} = 2^{2^m}$ 階調のアナログ信号に変換された場合の輝度と等しくなることが分かる。尚、V-T特性の逆関数による補正は、必ずしもDAC12cにおいて成されなくても良く、供給されるデータ信号そのものに補正が成されていても良い。このような場合には、DAC12cの入出力特性は直線が良い。

【0031】以上のように、この表示装置においては、mビット相当のアナログ信号を出力する水平駆動回路12を備えながら、 $n \times m$ ビット相当の階調表示を行うことができるのである。したがって、水平駆動回路12の占有面積の拡大を抑えながらも、多階調化を図ることが可能になる。

【0032】尚、上記第1実施形態においては、データソース10において、水平ライン順に上位データH1、下位データL1、上位データH2、下位データL2、…の順に表示データを並べ替える場合を説明した。しかし、データソース10における表示データの並び替えは、1画素において表示面積の大きな表示素子から順に上位側の表示データが割り当てられるように、表示領域11における配線状態と共に適宜変更可能である。このような変更を行った場合であっても、同様の効果を得ることができる。

【0033】図5は、第1実施形態の表示装置の他の例を示す要部構成図である。この図に示す表示装置は、各画素14が3個の表示素子14a-1、14a-2、14a-3からなる構成となっている。

【0034】このように、3個の表示素子14a-1、14a-2、14a-3を備えた場合には、各表示素子の表示面積の割合は、 $2^{2^n} : 2^{2^n} : 2^{2^n}$ に設定される。また、各行には、第1ゲート線g1-1（g2-1、g3-1、g4-1）、第2ゲート線g1-2（g2-2、g3-2、g4-2）、及び第3ゲート線g1-3（g2-3、g3-3、g4-3）を上段から順に配線する。そして、第1ゲート線g1-1（g2-1、g3-1、g4-1）には、最も面積の大きな表示素子14a-1を接続させ、第2ゲート線g1-2（g2-2、g3-2、g4-2）には、次に表示面積の大きな表示素子14a-2を接続させ、第3ゲート線g1-3

※う。これによって、式（4）は下記式（5）のように書き換えられる。ただし、 α は、光学的なLSB（Least Significant bit：最下位ビット）に相当する。

【数5】

（g2-3、g3-3、g4-3）には、最も表示面積の小さな表示素子14a-3を接続させる。また、1つの画素を構成する表示素子14a-1、14a-2、14a-3は、同一のコラム線c1（c2、c3、c4）に接続させる。そして、データソース（図示省略）においては、 $n \times m = 3 \times m$ ビットの表示データをmビット単位で3分割し、上位側の表示データから順に水平駆動回路12に入力されるようにする。

【0035】このような構成の表示装置においては、mビット相当のアナログ信号を出力する水平駆動回路を備えながら、 $3 \times m$ ビット相当の階調表示を行うことができ、さらなる多階調化を図ることが可能になる。なお、各画素は、4個以上の表示素子からなる構成であっても良い。

【0036】図6は、本発明の第2実施形態に係るアクティブマトリクス方式の表示装置の一例を示す構成図である。この図に示す第2実施形態の表示装置と、第1実施形態の表示装置との異なるところは、データソース10'の構成及び水平駆動回路12'の構成にあり、表示領域11及び垂直駆動回路13の構成は同様であることとする。

【0037】すなわち、第2実施形態の表示装置のデータソース10'は、画像の元データとして、 $n \times m$ ビットで構成された各画素14毎の表示データを、 $n \times m$ ビット単位で水平駆動回路12'に供給する。

【0038】また、水平駆動回路12'は、第1実施形態と同様にサンプリングラッチ12a'、ラインメモリ12b及びDAC12cを備え、さらにサンプリングラッチ12a'とラインメモリ12bとの間にセレクト回路12dを設けている。

【0039】サンプリングラッチ12a'は、 $n \times m$ ビットの水平画素数分のラッチ部を有し、データソース10'から供給された $n \times m$ ビットの表示データを、スタートパルス（以下HSTと記す）が与えられることによって水平クロック（以下HCKと記す）に同期して1水平ライン分順次mビット単位でサンプリングし、各コラム線c1、c2、…順にn個ずつラッチする。

【0040】セレクト回路12dは、サンプリングラッチ12a'にラッチされた $n \times m$ ビットの水平画素数分の表示データを、各水平画素14毎にmビット単位で選択してラインメモリ12bに入力する。例えば、 $n \times 2$

10

20

30

40

50

の場合、サンプリングラッチ12aにラッチされた1ライン目の1水平ライン分の2×mビット×水平画素数(4列)分の各表示データのうち、先ず、上位側mビットの上位データH1を各水平画素14毎に選択してラインメモリ12bに入力し、次に、同一の1水平ライン分の下位側mビットの下位データL1を水平画素毎に選択してラインメモリ12bに入力する。以下、1水平ライン毎に、上位データH2、下位データL2、上位データH3、下位データL3、…の順に順次ラインメモリ12bに入力する。

【0041】また、ラインメモリ12b及びDAC12cは、第1実施形態と同様に構成されている。

【0042】次に、上記構成の表示装置の動作を、図3のタイミングチャートを用いて説明する。

【0043】先ず、データソース10'からは、n×mビットの表示データが水平駆動回路12'に供給される。データソース10'から供給されたn×mビットの表示データは、クロック(HST、HCK)にしたがって水平駆動回路12'のサンプリングラッチ12a'にmビット単位で1水平ライン分サンプリングされ、各コラム線c1、c2、…毎にn個ずつラッチされる。ラッチされた表示データは、セレクト回路12dにおいて、各コラム線c1、c2、…毎にmビット単位で上位データH、下位データLの順で選択され、ラインメモリ12bにおいて1水平ライン分ずつ格納される。そして、ラインメモリ12bには、1水平ライン毎に、上位データH2、下位データL2、上位データH3、下位データH3、…の順に順次表示データが格納される。格納された表示データはDAC12cに1水平ライン分同時に入力され、2'階調のアナログ信号に変換されて各コラム線c1、c2、…に入力される。すなわち、上記第1実施形態と同様に、表示データは、水平ライン順にmビット単位で上位データH1、下位データL1、上位データH2、下位データL2、…の順にアナログ信号に変換され、各コラム線c1、c2、…に順次入力されるのである。

【0044】一方、垂直駆動回路13は、第1実施形態と同様のタイミングで、第1行目の第1ゲート線g1-1、第2ゲート線g1-2、第2列目の第1ゲート線g2-1、第2ゲート線g2-2、…の順で、選択信号が与えられる。

【0045】このため、上記第1実施形態と同様に、n=2個の表示素子で構成された1つの画素14には、n×m=2×mビット相当のアナログ信号が割り当てて表示されることになる。この際、上位データH1、H2、…は、表示面積が大きな表示素子に割り当てて書き込まれ、下位データL1、L2、…は、表示面積が小さな表示素子に割り当てて書き込まれる。したがって、上記第1実施形態と同様に、n=2個の表示素子で構成された1画素に、画素の表示特性に合わせて重み付けされた

2'階調の表示を行うことが可能になる。

【0046】以上のように、この表示装置においても、mビット相当のアナログ信号を出力する水平駆動回路12'を備えながら、n×mビット相当の階調表示を行うことができるのである。したがって、第1実施形態と同様に、水平駆動回路12'の専有面積の拡大を抑えながらも、多階調化を図ることが可能になる。

【0047】尚、上記第2実施形態においては、セレクト回路12dにおいて、上位データH1(またはH2、H3、…)、下位データL1(またはH2、H3、…)の順に表示データを選択する場合を説明した。しかし、セレクト回路12dにおける表示データの選択順は、1画素において表示面積の大きな表示素子から順に上位側の表示データが割り当てられるように、表示領域11における配列状態と共に適宜変更可能である。このような変更を行った場合であっても、同様の効果を得ることができるとする。

【0048】図7は、本発明の第3実施形態に係るアクティブマトリクス方式の表示装置の一例を示す要部構成図である。この図に示す第3実施形態の表示装置と、第1実施形態の表示装置との異なるところは、垂直駆動回路の構成にあり、データソース10、表示領域11及び水平駆動回路12の構成は同様であることとする。

【0049】第3実施形態の表示装置では、各画素14を構成するn個の表示素子14a-1、14a-2、…、14a-nに対応させてn系統の垂直駆動回路が設けられている。すなわち、各画素14がn=2個の表示素子14a-1、14a-2で構成されている場合には、第1垂直駆動回路13-1及び第2垂直駆動回路13-2の2系統の垂直駆動回路が設けられる。第1垂直駆動回路13-1及び第2垂直駆動回路13-2の構成は、第1実施形態の垂直駆動回路と同様である。ただし、第1垂直駆動回路13-1は第1ゲート線g1-1、g2-1、…に接続され、第2垂直駆動回路13-2は第2ゲート線g1-2、g2-2、…に接続される。

【0050】このような第1垂直駆動回路13-1及び第2垂直駆動回路13-2は、例えば、先ず前半の1/2フレームの間に、第1垂直駆動回路13-1によって第1行目から順に第1ゲート線g1-1、g2-1、…を順次選択した後、次の1/2フレームの間に第2垂直駆動回路13-2によって第1行目から順に第2ゲート線g1-2、g2-2、…を順次選択するように駆動される。

【0051】また、データソース10における表示データの並べ替えは、例えば以下のように設定されていることとする。すなわち、n=2の場合、2×mビットの各表示データを、上位側mビット分の上位データHと、下位側mビット分の下位データLとに分割する。そして、まず、1ライン目の1水平ライン分の上位データH1を画素14の水平方向の配列順に並べ、次に、2ライン目の1水平ライン分の上位データH2を画素14の水平方

向の配列順に並べ、以下上位データH3、H4、…を順次並べた後、同様にして1水平ライン目から順に1水平ライン分の下位データL1、L2、…を並べる。そして、並べ変えた順に表示データを水平駆動回路12に供給する。

【0052】次に、この表示装置の動作を、図8のタイミングチャートを用いて説明する。

【0053】先ず、データソース10からは、 $n \times m$ ビットの表示データを n ($=2$) 分割した m ビット単位の表示データが、上位データH1、H2、…、下位データL1、L2、…の順に水平駆動回路12に供給される。そして、水平駆動回路12において第1実施形態と同様の処理を経ることによって、水平駆動回路12に入力された順に m ビット相当の各表示データが2nd階調の表示データに変換され、各コラム線c1、c2、…に入力されるのである。

【0054】一方、第1垂直駆動回路13-1及び第2垂直駆動回路13-2からは、第1行目から順に、第1ゲート線g1-1、g2-1、…に選択信号が与えられ、次に、第1行目から順に第2ゲート線g1-2、g2-2、…に選択信号が与えられる。このため、先ず上位データH1が、第1行目の第1ゲート線g1-1及び各コラム線c1、c2、…に接続された表示素子14 a-1に書き込まれ、次に、上位データH2が、第2行目の第1ゲート線g2-1及び各コラム線c1、c2、…に接続された表示素子14 a-1に書き込まれる。以下同様にして、順次、各画素14の表示素子14 a-1に、上位データH3、H4が割り当てて書き込まれる。そして、1/2フレーム期間の後に、下位データL1が、第1行目の第2ゲート線g1-2及び各コラム線c1、c2、…に接続された表示素子14 a-2に書き込まれ、次に第2行目以降の第2ゲート線g2-2、g3-2、…に接続された表示素子14 a-2に、下位データL2、L3、L4が割り当てて書き込まれる。

【0055】以上のようにして、 $n=2$ 個の表示素子14 a-1、14 a-2で構成された1画素においては、第1実施形態及び第2実施形態と同様に、上位データH1、H2、…が、表示面積が大きな表示素子14 a-1に割り当てて書き込まれ、下位データL1、L2が、表示面積が小さな表示素子14 a-2に割り当てて書き込まれることになる。したがって、上記第1実施形態及び第2と同様に、 n 個の表示素子で構成された1画素に、画素の表示特性に合わせて重み付けされた2nd階調の表示を行うことが可能になる。

【0056】以上のように、この表示装置においても、 m ビット相当のアナログ信号を出力する水平駆動回路12を備えながら、 $n \times m$ ビット相当の階調表示を行うことができるのである。したがって、第1実施形態及び第2実施形態と同様に、水平駆動回路12の専有面積の拡大を抑えながらも、多階調化を図ることが可能になる。

【0057】尚、上記第3実施形態においては、第1実施形態と同様に、データソース10による表示データの並べ替え及び表示領域1における配列状態を適宜変更可能であり、このような変更を行った場合であっても、同様の効果を得ることができる。

【0058】また、第3実施形態の表示装置では、 n 系統の垂直駆動回路によって各表示素子14 a-1、14 a-2、…、14 a-nがそれぞれ個別に選択される。このため、例えば、第1垂直駆動回路13-1のみを動作させて表示素子14 a-1のみに表示データを書き込むようにしても良い。このように動作させた場合には、2nd階調の表示を行うことができる。また、この際、他の表示素子14 a-2、…には、一度書き込んだ表示データを保持させておくこともできる。このようにした場合には、2ndビット階調の表示が行われる。そして、以上の様に動作させることで、表示装置の駆動の省電力化を図ることができる。

【0059】図9は、本発明の第4実施形態に係るアクティブマトリクス方式の表示装置の一例を示す構成図であり、図10は、図9の複倍拡大図である。

【0060】これらの図に示す表示装置は、画素の元データを供給するデータソース10¹、複数の画素14が配置された表示領域11¹、複数系統の水平駆動回路12-1、12-2、…、12-m、及び垂直駆動回路13で構成されている。ただしここでは、説明を簡単にするために、4行×4列分の画素14がマトリクス状に配列されている場合を例示している。

【0061】データソース10¹は、第1実施形態のデータソースと同様に、 $n \times m$ ビットの表示データを、 m ビット単位に n 分割し、所定の順序に並べ替える。ただし、 n 分割された表示データは、それぞれ異なる系統の水平駆動回路12-1、12-2、…、12-nに供給されることとする。

【0062】例えば、 $n=2$ の場合、 $2 \times m$ ビットの各表示データは、上位側 m ビット分の上位データHと、下位側 m ビット分の下位データLとに分割する。そして、まず1ライン目の1水平ライン分の上位データH1を画素14の水平方向の配列順に並べ、次に、同一の1水平ライン分の下位データL1を画素14の水平方向の配列順に並べる。以下、1水平ライン毎に、上位データH2、下位データL2、上位データH3、下位データL3、…の順に表示データを並べ替え、上位データH1、H2、…と下位データL1、L2、…とを異なる系統の水平駆動回路12-1、12-2に別けて供給する。

【0063】また、表示領域11¹は、複数行（例えば4列）分の第1コラム線c1-1、c2-1、c3-1、c4-1とこれらと交差させた複数行（例えば4行）分のゲート線g1、g2、g3、g4との各交差点に画素14を配置してなる。この表示領域11¹には、第1コラム線c1-1、c2-1、c3-1、c4-1と並行に、第2～第 n

コラム線が順次配線されている。例えば、 $n=2$ の場合、表示領域14には、第1列目の第1コラム線c1-1、第2コラム線c1-2、第2列目の第1コラム線c2-1、第2コラム線c2-2、…の順で配線される。

【0064】各画素14'は、各画素14'は第1実施形態と同様の表示面積を有する n 個（例えば2個）の表示素子14 a-1、14 a-2で構成されている。ただし、1画素14'を構成する表示素子数は、データソース10における表示データの分割数 n と等しいこととする。また、これらの表示素子14 a-1、14 a-2は、第1実施形態と同様の液晶素子やエレクトロルミネッセンス（Electroluminescence）素子であり、各画素14'における表示素子14 a-1、14 a-2の薄膜トランジスタTFTのゲート電極が同一のゲート線g1（g2、…）に接続され、表示面積の大きな表示素子14 a-1の薄膜トランジスタTFTのソース電極が第1コラム線c1-1（c2-1、…）に接続され、表示面積の小さな表示素子14 a-2のソース電極が第2コラム線c1-2（c2-2、…）に接続されている。

【0065】また、水平駆動回路12-1、12-2、…、12-mは、画素14'の表示素子数と同一の系統数（ $n=2$ ）設けられており、例えば第1水平駆動回路12-1と第2水平駆動回路12-2との系統が設けられていることとする。これらの第1水平駆動回路12-1及び第2水平駆動回路12-2は、第1実施形態の水平駆動回路と同様に構成されており、それぞれにデータソース10が接続されると共に、第1水平駆動回路12-1には第1コラム線c1-1、c2-1、…が接続され、第2水平駆動回路12-2には第2コラム線c1-2、c2-2、…が接続されている。そして、第1水平駆動回路12-1には、データソース10から供給された上位データH1、H2、…が順次サンプリングされ、これと同期させて第2水平駆動回路12-2にはデータソース10から供給された下位データL1、L2、…が順次サンプリングされる。

【0066】また、垂直駆動回路13は、第1実施形態の垂直駆動回路と同様である。

【0067】次に、上記構成の表示装置の動作を、図10のタイミングチャートを用いて説明する。

【0068】先ず、データソース10からは、 $n \times m$ ビットの表示データを n （ $=2$ ）分割した m ビット単位の表示データのうち、上位データH1、H2、…が順次第1水平駆動回路12-1に、下位データL1、L2、…が順次第2水平駆動回路12-2に順次同期してサンプリングされる。そして、第1水平駆動回路12-1及び第2水平駆動回路12-2において、第1実施形態と同様の経過を経ることによって、これらの表示データは 2^n 階調のアナログ信号に順次変換されて第1コラム線c1-1、c2-1、…及び第2コラム線c1-2、c2-2…に順次入力される。すなわち、水平方向に配列された各画素14

に対応する表示データの内、 2^n 階調の上位データH1、H2、…が第1コラム線c1-1、c2-1、…に順次入力され、これと同期して 2^n 階調の下位データL1、L2、…が第2コラム線c1-2、c2-2、…に順次入力されるのである。

【0069】一方、垂直駆動回路13からは、第1行目のゲート線g1、第2行目のゲート線g2、第3行目のゲート線g3、…の順で、選択信号が与えられる。

【0070】このため、第1水平駆動回路12-1から第1コラム線c1-1、c2-1、…に表示データ（先ず、上位データH1）が入力され、同時に第2水平駆動回路12-2から第2コラム線c1-2、c2-2、…に表示データ（先ず下位データL1）が入力されると、第1行目のゲート線g1に接続された表示素子14 a-1に上位データH1が書き込まれ、第1行目のゲート線g1に接続された表示素子14 a-2に下位データL1が書き込まれる。次に、第1水平駆動回路12-1及び第2水平駆動回路12-2から、上位データH2及び下位データL2が同時に入力されると、第2行目の画素14'の表示素子14 a-1に上位データH2が書き込まれ、2行目の画素14'の表示素子14 a-2に下位データL2が書き込まれる。以降、上位データH3及び下位データL3が、第3行目の画素14'の表示素子14 a-1、14 a-2に割り当ててそれぞれ書き込まれ、次に上位データH4及び下位データL4が、第4行目の画素14'の表示素子14 a-1、14 a-2に割り当ててそれぞれ割り当てて書き込まれる。

【0071】このため、 $n=2$ 個の表示素子14 a-1、14 a-2で構成された1画素においては、第1～第3実施形態と同様に、上位データH1、H2、…が、表示面積が大きな表示素子14 a-1に割り当てて書き込まれ、下位データL1、L2、…が、表示面積が小さな表示素子14 a-2に割り当てて書き込まれることになる。したがって、上記第1～第3実施形態と同様に、 n 個の表示素子で構成された1画素に、画素の表示特性に合わせて重み付けされた $2^{m_1} \times 2^{m_2}$ 階調の表示を行うことが可能になる。

【0072】ここで、 $2 \times m$ ビット相当のアナログ信号を出力する水平駆動回路は、 m ビット相当のアナログ信号を出力する水平駆動回路と比較して、専有面積が約 2^n 倍になる。この表示装置においては、2系統の水平駆動回路12-1、12-2を備えてはいるものの、これらの水平駆動回路は、 m ビット相当のアナログ信号を出力するものであるため、水平駆動回路の専有面積は約2倍に抑えられる。この結果、水平駆動回路12の専有面積の拡大を抑えながらも、多階調化を図ることが可能になると言える。

【0073】また、第4実施形態においては、垂直駆動回路13によって、水平方向に配列された各画素14'の各表示素子14 a-1、14 a-2が同時に選択される。こ

のため、1画素に対して $n \times m$ ビット相当のアナログ信号を同時に表示することが可能になる。したがって、水平駆動回路の動作速度を低く抑えることができる。例えば、 $n=2$ の場合、第1実施形態の水平駆動回路の1/2の動作速度で良いことになる。

【0074】尚、上記第4実施形態においては、第1水平駆動回路12-1に順次上位データH1、H2、…が順次供給され、第2水平駆動回路12-2に順次下位データL1、L2、…が順次供給される場合を説明した。しかし、データソース10”による表示データの供給は、1画素において表示領域の大きな表示素子から順に上位側の表示データが割り当てられるように、表示領域11における配線状態と共に適宜変更可能である。このような変更を行った場合であっても、同様の効果を得ることができる。

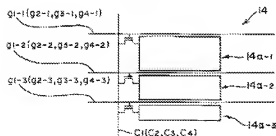
【0075】

【発明の効果】以上説明したように、本発明によれば、 $n \times m$ ビットの表示データを n 分割して順次 m ビット単位でアナログ信号に変換し、表示面積が 2^{10796} : 2¹⁰⁷⁹⁶ : 2¹⁰⁷⁹⁶の割合の n 個の表示素子にそれぞれ割り当てて表示させることで、 n 個の表示素子で構成された1画素に、画素の表示特性に合わせて重み付けされた 2^{10796} 階調の表示を行わせることができる。このため、デジタルアナログ変換器の対応ビット数を m ビットから $n \times m$ ビットに増加させることなく、 2^{10796} 階調の表示を行うことが可能になり、装置コスト及び水平駆動手動の占有面積を低く抑えながらも表示装置の多階調化を図ることが可能になる。また、表示領域と同一の基板上に水平駆動手動等の周辺回路が搭載されている表示装置においては、これらの周辺回路が形成される領域の増加を抑えた状態で、多階調化を図ることが可能になる。

【図面の簡単な説明】

*

【図5】



* 【図1】（1）は、本発明の第1実施形態に係るアクティブマトリクス方式の表示装置の構成図であり、（2）は（1）の要部拡大図である。

【図2】第1実施形態の表示装置の垂直駆動回路の構成図である。

【図3】第1実施形態の表示装置の動作を説明するためのタイミングチャートである。

【図4】DACによる電圧補正を説明するグラフである。

【図5】第1実施形態の他の例を示す要部構成図である。

【図6】本発明の第2実施形態に係るアクティブマトリクス方式の表示装置の構成図である。

【図7】本発明の第3実施形態に係るアクティブマトリクス方式の表示装置の要部構成図である。

【図8】第3実施形態の表示装置の動作を説明するためのタイミングチャートである。

【図9】本発明の第4実施形態に係るアクティブマトリクス方式の表示装置の構成図である。

【図10】図7の要部拡大図である。

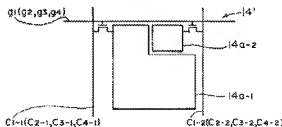
【図11】第4実施形態の表示装置の動作を説明するためのタイミングチャートである。

【図12】従来のアクティブマトリクス方式の表示装置の構成図である。

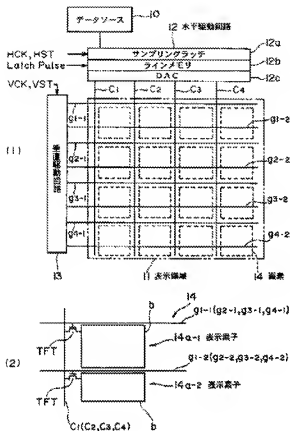
【符号の説明】

10、10'、10''…データソース、11、11'…表示領域、12、12'…水平駆動回路、12-1…第1水平駆動回路、12-2…第2水平駆動回路、12c…DAC（デジタルアナログ変換器）、12d…セレクト回路、13…垂直駆動回路、13-1…第1垂直駆動回路、13-2…第2垂直駆動回路、14、14'…画素、14a-1、14a-2、14a-3…表示素子

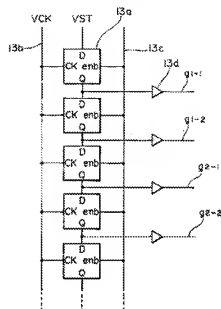
【図10】



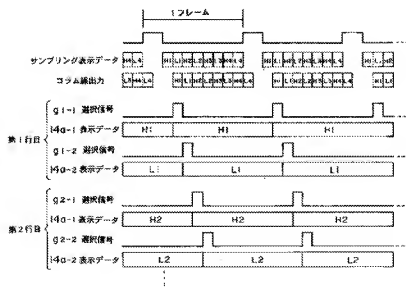
【図1】



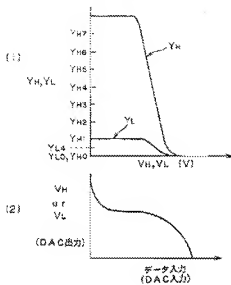
【図2】



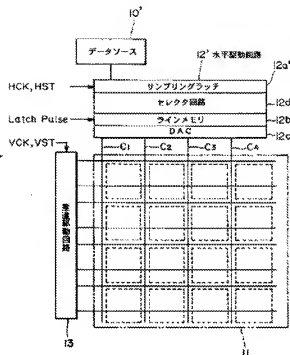
【図3】



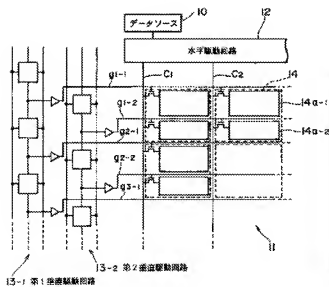
【図4】



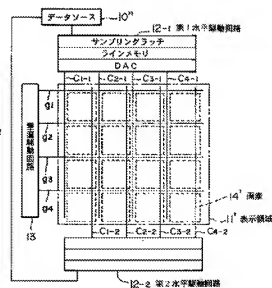
【図6】



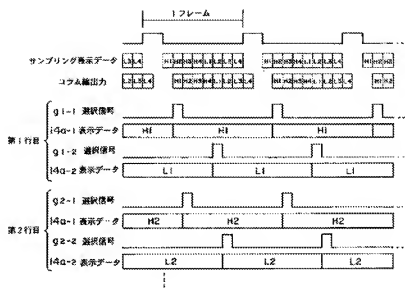
【図7】



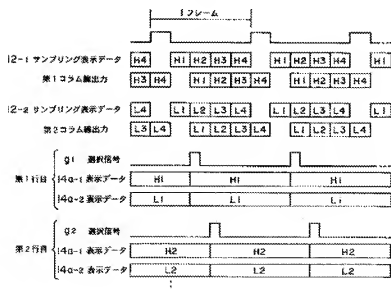
【図9】



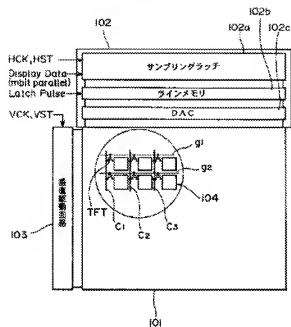
【図8】



【図11】



【図12】



フロントページの続き

F ターム(参考) 2H093 NA16 NA53 NA54 NA55 NA59
 NC21 NC26 NC34 NC49 ND06
 ND43 ND49 NE03
 5C006 AA12 AA16 AA17 AC24 AF42
 AF45 AF83 BF16 BC03 BC06
 BC12 BF04 BF05 BF25 FA56
 5C080 AA10 BB06 DD03 DD30 EE29
 FF11 GG12 JJ02 JJ04 JJ05
 JJ06

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display device and driving method thereof capable of realizing multi-gradation while suppressing an increase of device cost and an enlargement of occupying space of a peripheral circuit.

SOLUTION: This display device features being equipped with a data source 10 supplying $n \times m$ bits (n and m are integers more than 1) of display data per one picture element, a horizontal driving circuit 12 having a digital analog converter 12c converting m bit units of the display data inputted from the data source 10 into a $2m$ gradation analog signal, a display zone 11 having a picture element 14 comprising n pieces of display elements 14a-1, 14a-2,..., 14a- n having a rate of display areas of $2(n-1)*m:2(n-2)*m::\dots:2(n-n)*m$, and a vertical driving circuit 13 outputting a selection signal for allocating and writing n piece units of the analog signals outputted from the digital analog converter 12c each into n pieces of the display elements 14a-1, 14a-2,..., 14a- n .